

⑫ 公開特許公報(A)

平4-137053

⑤ Int. Cl.<sup>5</sup>

G 06 F 12/08  
12/12

識別記号

3 1 0 A  
A

庁内整理番号

7232-5B  
7232-5B

④ 公開 平成4年(1992)5月12日

審査請求 未請求 請求項の数 2 (全7頁)

⑭ 発明の名称 キヤッシュメモリへのブロック登録制御方式

⑯ 特 願 平2-257060

⑰ 出 願 平2(1990)9月28日

⑱ 発 明 者 塩 澤 恒 道 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑲ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

⑳ 代 理 人 弁理士 山本 恵一

明 細 書

1. 発明の名称

キヤッシュメモリへのブロック登録制御方式

2. 特許請求の範囲

(1) プロセッサ、キヤッシュメモリおよびメインメモリで構成される情報処理装置において、上記メインメモリはアドレスによって複数のブロックに分割されており、上記キヤッシュメモリはミスヒット時にミスヒットしたブロックをキヤッシュメモリに登録するか否かを判定する登録条件判定回路および複数のエントリから成り、各エントリは上記メインメモリのブロックを識別するアドレス情報を格納するタグ部、当該エントリへのブロックの登録条件を格納する登録条件部、当該エントリのタグ部に格納している情報が有効(「1」)であるか無効(「0」)であるかを示すバリッド部およびブロックの内容を格納するデータ部から成る、キヤッシュメモリへのブロック登録制御方式において、

上記プロセッサはメインメモリのブロックの内

容を要求する時ブロックのアドレスとともに登録条件を出力し、

上記キヤッシュメモリは、上記プロセッサから要求されたブロックのアドレス情報と一致するアドレス情報を格納しているタグ部を持つエントリが存在し、かつそのエントリのバリッド部に「1」が格納されているヒットの場合、当該エントリのデータ部に格納されている内容をプロセッサへ転送し、それ以外のミスヒットの場合には、上記キヤッシュメモリは上記メインメモリからプロセッサが要求しているブロックを読み出し、

ミスヒットしたブロックを登録可能なエントリの登録条件部の内容とプロセッサが出力している登録条件とを上記登録条件判定回路に入力し、登録条件を満足するエントリが存在するかまたはバリッド部の値が「0」であるエントリが存在する場合、上記メインメモリから読み出したブロックを登録条件を満足するかまたはバリッド部の値が「0」である1個のエントリに登録するとともにメインメモリから読み出したブロックを上記プロセ

ッサへ転送し、

バリッド部の値が「0」であるエントリまたは登録条件を満足するエントリが存在しない場合、キャッシュメモリのエントリへのブロックの登録は行わずにメインメモリから読みだしたブロックをプロセッサへ転送することを特徴とするキャッシュメモリへのブロック登録制御方式。

(2) 請求項1記載のキャッシュメモリへのブロック登録制御方式において、キャッシュメモリの複数のエントリを分割し、分割したエントリのそれぞれに対応させて登録条件格納手段を設け、ミスヒット時、メインメモリから読みだしたブロックを格納するエントリに対応している上記登録条件格納手段の内容がプロセッサから出力される登録条件を満足している場合にのみ当該エントリへのブロックの登録を行うことを特徴とするキャッシュメモリへのブロック登録制御方式。

### 3. 発明の詳細な説明

(発明の属する分野の説明)

本発明は、情報処理装置において、キャッシュ

メモリであり、ブロックアドレスで指定されるメインメモリ4上のブロックはブロックの下位5ビットによって選択される2個のエントリのいずれか一方に登録可能とする。

プロセッサ1が信号線101を介してキャッシュメモリ2に要求したブロックアドレス(12ビット)の下位5ビットで指定される2個のエントリのいずれか一方のタグ部の内容が信号線101を介して入力されたブロックアドレスの上位7ビットと一致し、かつバリッドビット部の内容が「1」である(ヒット)時、登録制御部24は信号線104および105を介してヒットしたエントリを知り、信号線108または109を介してヒットしたエントリのデータ部に格納しているブロックデータを信号線102に出力し、プロセッサ1へ転送する。

他方、ブロックアドレスの下位5ビットで指定される2個のエントリのタグ部の内容が信号線101を介して入力されたブロックアドレスの上位7ビットと一致しないか、またはバリッドビット部の内容が「0」である(ミスヒット)時、キャッ

メモリへのブロックの登録方法を制御するためのキャッシュメモリのブロック登録制御方式に関するものである。

(従来の技術)

第3図は従来のキャッシュメモリにおけるブロック登録制御方式により実現される情報処理装置を説明する図であり、1はプロセッサであり、2はキャッシュメモリであり、3はバスであり、4はメインメモリであり、メインメモリ4は等しい大きさのブロックデータに分かれている。21および22は一致検出回路であり、25Aはメインメモリ上のブロックを格納しているブロックメモリ部であり、25Aは複数のエントリにより構成され、各エントリはメインメモリ4上にあるブロックデータを格納するデータ部、データ部に格納しているブロックデータのアドレス情報を格納するタグ部、タグ部に格納している情報の有効(「1」)、無効(「0」)を示すバリッド部から成る。本例においては、キャッシュメモリは64個のエントリで構成される2ウェイセットアソシアティブのキャッ

メモリ2は信号線201を介してバス3上にブロックデータの転送要求とブロックデータのアドレスを出力する。メインメモリ4は信号線401を介してバス3上のブロックデータの転送要求とブロックデータのアドレスを受け取る。メインメモリ4は、指定されたブロックデータを読みだし、信号線402を介してバス3上に出力する。登録制御部26Aは、予め定められた方法によってブロックデータの下の5ビットで指定される2個のエントリの何れか一方を選択し、選択したエントリのデータ部に信号線102を介して入力したブロックデータを格納し、タグ部にブロックアドレスの上位7ビットを格納し、バリッドビット部に値「1」を格納することによってミスヒットしたブロックの登録を行う。さらに、キャッシュメモリ2は、メインメモリ4から転送したブロックデータを信号線102を介してプロセッサ1へ転送する。

(発明が解決しようとする課題)

この方法では、ミスヒットしたブロックデータをブロックアドレスの一部(下位5ビット)を用

いて選択されるキャッシュメモリ内のエントリに登録するため、ミスヒット時には、プロセッサで実行中の処理の内容とは独立にキャッシュメモリのエントリへの登録が行われる。

一般に、プロセッサで実行される処理の単位をタスクと呼び、タスクは、本来の処理のために実行されるタスク（定常タスク）と異常等が発生した場合に実行されるタスク（例外タスク）とに分類できる。そして、プロセッサが定常タスクを実行中にアクセスするブロックデータはプロセッサから再利用される確率が高く、キャッシュメモリに格納することによって、キャッシュメモリのヒット率を高めることができるので、プロセッサの処理能力を高めることができる。他方、プロセッサが例外タスクを実行中にアクセスするブロックデータはプロセッサから再利用される確率が低く、キャッシュメモリに格納してもヒット率は向上しない。むしろ、例外タスクがアクセスしたメインメモリの内容をキャッシュメモリに格納した場合、プロセッサが定常タスクの処理を再開した

時、定常タスクが中断される前にキャッシュメモリに格納してあったブロックデータが例外タスクからのアクセスがキャッシュメモリでミスヒットしたブロックデータに置き換えられ、再開した定常タスクのヒット率が低下する欠点がある。

本発明は上述の欠点を改善するもので、キャッシュメモリにおけるヒット率を改善することを目的とする。

（課題を解決するための手段）

上記目的を達成するための本発明の特徴は、プロセッサ、キャッシュメモリおよびメインメモリで構成される情報処理装置に置いて、上記メインメモリはアドレスによって複数のブロックに分割されており、上記キャッシュメモリはミスヒット時にミスヒットしたブロックをキャッシュメモリに登録するか否かを判定する登録条件判定回路および複数のエントリから成り、各エントリは上記メインメモリのブロックを識別するアドレス情報を格納するタグ部、当該エントリへのブロックの登録条件を格納する登録条件部、当該エントリの

タグ部に格納している情報が有効（「1」）であるか無効（「0」）であるかを示すバリッド部およびブロックの内容を格納するデータ部から成る、キャッシュメモリへのブロック登録制御方式において、上記プロセッサはメインメモリのブロックの内容を要求する時ブロックのアドレスとともに登録条件を出力し、上記キャッシュメモリは、上記プロセッサから要求されたブロックのアドレス情報と一致するアドレス情報を格納しているタグ部を持つエントリが存在し、かつそのエントリのバリッド部に「1」が格納されている（ヒット）場合、当該エントリのデータ部に格納されている内容をプロセッサへ転送し、それ以外（ミスヒット）の場合には、上記キャッシュメモリは上記メインメモリからプロセッサが要求しているブロックを読み出し、ミスヒットしたブロックを登録可能なエントリの登録条件部の内容とプロセッサが出力している登録条件とを上記登録条件判定回路に入力し、登録条件を満足するエントリが存在するかまたはバリッド部の値が「0」であるエントリが存在

する場合、上記メインメモリから読み出したブロックを登録条件を満足するかまたはバリッド部の値が「0」である1個のエントリに登録するとともにメインメモリから読み出したブロックを上記プロセッサへ転送し、バリッド部の値が「0」であるエントリまたは登録条件を満足するエントリが存在しない場合、キャッシュメモリのエントリへのブロックの登録は行わずにメインメモリから読み出したブロックをプロセッサへ転送するキャッシュメモリへのブロック登録制御方式にある。

（作 用）

ミスヒットが発生した場合、キャッシュメモリのエントリにプロセッサが出力するタスクの種類に応じてブロックデータを登録可能か否かを設定可能とし、定常タスクの処理中にミスヒットが発生した場合にはキャッシュメモリの多数のエントリへの登録を可能とし、例外タスクの処理中には少数のエントリへの登録のみを可能とすることができる。従って、例外タスクの処理中にミスヒットが発生しても定常タスクがアクセスするブロッ

クデータが置き換えられることが無くなり、例外タスクの終了後、定常タスクが再開された時のヒット率を低下させないようにすることが可能となる。

(実施例)

第1図は本発明の一実施例であり、1はプロセッサであり、2はキャッシュメモリであり、3はバスであり、4はメインメモリであり、メインメモリ4は等しい大きさのブロックデータに分かれている。11はタスクの種類を設定するタスク識別レジスタであり、21および22は一致検出回路であり、23および24は比較器であり、25はメインメモリ上のブロックを格納しているブロックメモリ部であり、25は複数のエントリにより構成され、各エントリはメインメモリ4上にあるブロックデータを格納するデータ部、データ部に格納しているブロックデータのアドレス情報を格納するタグ部、タグ部に格納している情報の有効(「1」)、無効(「0」)を示すバリッド部およびエントリへのブロック登録条件を格納する登録条件部から成り、

され、タスク識別レジスタ11に格納されている値の上位2ビットには、タスクの種類に応じて定められる登録条件が設定されており、信号線103を介してキャッシュメモリに入力されている。また、キャッシュメモリの各エントリの登録条件部には、メインメモリ4へのアクセスと区別される手段によって、プロセッサ1により予め登録条件が第1図に示すように格納されているものとする。

プロセッサ1が信号線101を介してキャッシュメモリ2に要求したブロックアドレス(12ビット)の下位5ビットで指定される2個のエントリのいずれか一方のタグ部の内容が信号線101を介して入力されたブロックアドレスの上位7ビットと一致し、かつバリッドビット部の内容が「1」である(ヒット)時、登録制御部26は信号線104および105を介してヒットしたエントリを知り、信号線108または109を介してヒットしたエントリのデータ部に格納しているブロックデータを信号線102に出力し、プロセッサ1へ転送する。

26は登録制御部であり、プロセッサ1が要求したブロックがキャッシュメモリ2内のいずれのエントリにも存在せずメインメモリ4からブロックを読みだした場合、当該ブロックを登録するための制御を行う。比較器23および24は信号線103を介して入力したタスク識別レジスタ11の上位2ビットによって定まる値が信号線104および105を介して入力した登録条件部に格納されている値よりも大きいかまたは等しい場合かまたはバリッド部の値が「0」の場合、それぞれのエントリへのブロックの登録が可能である旨を信号線106および107を介して登録制御部26に通知する。本例においては、キャッシュメモリは64個のエントリで構成される2ウェイセットアソシアティブのキャッシュメモリであり、ブロックアドレスで指定されるメインメモリ4上のブロックはブロックの下位5ビットによって選択される2個のエントリのいずれか一方に登録可能とする。

ここで、タスク識別レジスタ11の内容はプロセッサ1で処理されるタスク自身によって値が設定

他方、ブロックアドレスの下位5ビットで指定される2個のエントリのタグ部の内容が信号線101を介して入力されたブロックアドレスの上位7ビットと一致しないか、またはバリッドビット部の内容が「0」である(ミスヒット)時、登録制御部26は信号線201を介してバス3上にブロックデータの転送要求とブロックデータのアドレスを出力する。メインメモリ4は信号線401を介してバス3上のブロックデータの転送要求とブロックデータのアドレスを受け取る。メインメモリ4は、指定されたブロックデータを読みだし、信号線402を介してバス3上に出力する。

プロセッサ1が要求したブロックデータのブロックアドレスの下位5ビットが「01010」の場合、アドレスの下位5ビットで選択される2個のエントリの登録条件部に格納してある内容は共にプロセッサから信号線103を介して入力された値よりも大きい(信号線106および107はいずれもオフ状態)ので、登録制御部26はブロックメモリ部25内のいずれのエントリにもミスヒットしたブロッ

クを登録せず、キャッシュメモリ2は、メインメモリ4から転送したブロックデータを信号線102を介してプロセッサ1へ転送する。

プロセッサ1が要求したブロックデータのブロックアドレスの下位5ビットが「10101」の場合、アドレスの下位5ビットで選択される2個のエントリの内の一方の登録条件部に格納してある内容がプロセッサから信号線103を介して入力された値よりも小さい（信号線106がオン状態）ので、登録制御部26は信号線108を介して登録を指示し、「10101」および信号線108で指定されるエントリのデータ部に信号線102を介してバス3から入力したブロックデータをデータ部に格納し、タグ部にブロックアドレスの上位7ビットを格納し、バリッドビット部に値「1」を格納することによってミスヒットしたブロックの登録を行う。

信号線106および107がいずれもオン状態（いずれの登録条件部の値もタスク識別レジスタ11の上位2ビットの値よりも小さいか等しい）の場合には、登録制御部は予め定められた方法によ

4上のブロックはブロックの下位5ビットによって選択される2個のエントリのいずれか一方に登録可能とする。

ここで、タスク識別レジスタ11の内容はプロセッサ1で処理されるタスク自身によって値が設定され、タスク識別レジスタ11に格納されている値の上位2ビットには、タスクの種類に応じて定められる登録条件が設定されており、信号線103を介してキャッシュメモリに入力されている。また、キャッシュメモリの登録条件レジスタ27には、メインメモリ4へのアクセスと区別される手段によって、プロセッサ1により予め登録条件が第2図に示すように格納されているものとする。

ミスヒット時、登録制御部26は信号線201を介してバス3上にブロックデータの転送要求とブロックデータのアドレスを出力する。メインメモリ4は信号線401を介してバス3上のブロックデータの転送要求とブロックデータのアドレスを受け取る。メインメモリ4は、指定されたブロックデータを読みだし、信号線402を介してバス3上に

て、いずれか1つのエントリを選択してブロックデータの登録を行う。

第2図は本発明の別の実施例であり、ブロックメモリ部25Bの各エントリはメインメモリ4上にあるブロックデータを格納するデータ部、データ部に格納しているブロックデータのアドレス情報を格納するタグ部およびタグ部に格納している情報の有効（「1」）、無効（「0」）を示すバリッド部から成り、27は登録条件レジスタである。比較器23および24は信号線103を介して入力したタスク識別レジスタ11の上位2ビットによって定まる値が信号線104および105を介して入力した登録条件レジスタ27に格納されている値よりも大きいまたは等しい場合またはバリッド部の値が「0」の場合、それぞれのエントリへのブロックの登録が可能である旨を信号線106および107を介して登録制御部26に通知する。本例においては、キャッシュメモリは64個のエントリで構成される2ウェイセットアソシアティブのキャッシュメモリであり、ブロックアドレスで指定されるメインメモリ

出力する。

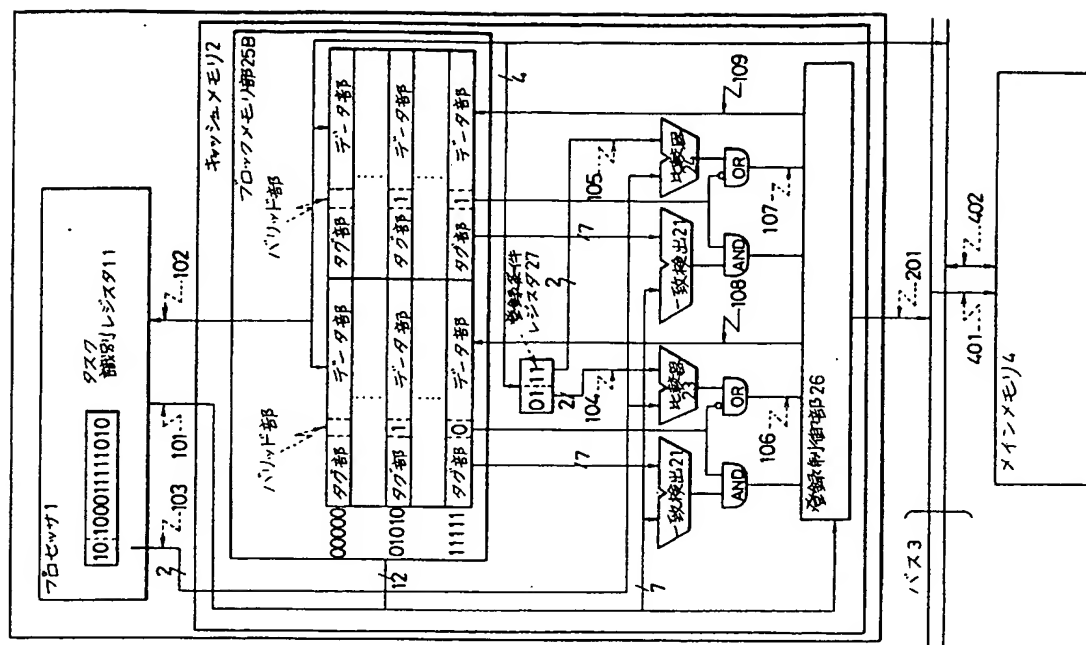
登録条件レジスタ27に格納してある内容の上位2ビットが信号線104を介して比較器23に入力され、下位2ビットが信号線105を介して比較器24に入力される。信号線104を介して入力された値が信号線103を介して入力された値よりも小さい（信号線106がオン状態）ので、登録制御部26は信号線108を介して登録を指示し、「1010」および信号線108で指定されるエントリのデータ部に信号線102を介してバス3から入力したブロックデータをデータ部に格納し、タグ部にブロックアドレスの上位7ビットを格納し、バリッドビット部に値「1」を格納することによってミスヒットしたブロックの登録を行う。

信号線106および107がいずれもオン状態の場合には、登録制御部は予め定められた方法によって、いずれか1つのエントリを選択してブロックデータの登録を行う。

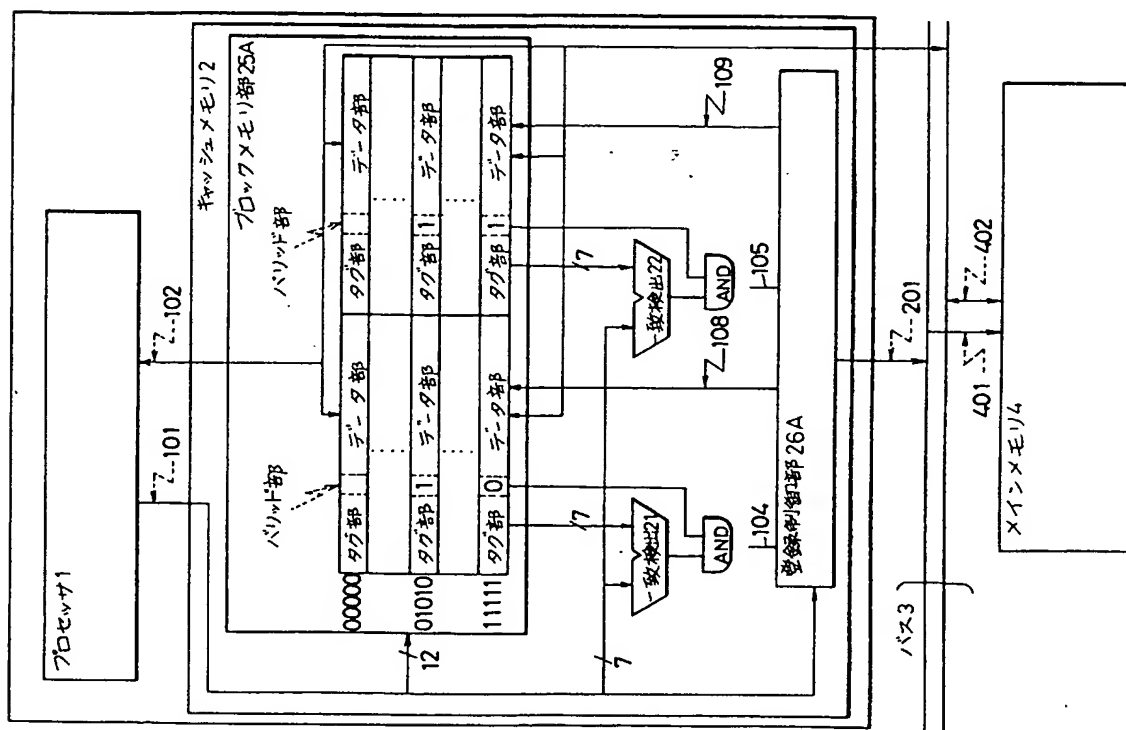
（発明の効果）

以上説明したように、キャッシュメモリのエン





本発明の別の実施例  
第2図



従来の技術  
第3図